

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Andreas Bänisch et al.
Serial No. :
Filed : July 9, 2003
Title : SEMICONDUCTOR DEVICE

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC § 119

Applicants hereby confirm their claim of priority under 35 USC § 119 from the following application:

· German Application No. 102 31 206.0, filed July 10, 2002.

A certified copy of this application from which priority is claimed is submitted herewith.

Please apply any charges to Deposit Account No. 06-1050, referencing Attorney Docket No. 12816-088001.

Respectfully submitted,

Date: July 9, 2003



Faustino A. Lichauco
Reg. No. 41,942

Fish & Richardson P.C.
225 Franklin Street
Boston, MA 02110-2804
Telephone: (617) 542-5070
Facsimile: (617) 542-8906

20686031.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EV331653822US

July 9, 2003
Date of Deposit

BUNDESREPUBLIK DEUTSCHLAND




Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 31 206.0
Anmeldetag: 10. Juli 2002
Anmelder/Inhaber: Infineon Technologies AG,
München/DE
Bezeichnung: Halbleitervorrichtung
IPC: H 01 L 23/525

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 26. Juni 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag



Hoß

Deutsches Patent- und Markenamt

München, den 4. April 2003

Telefon: (0 89) 21 95 - 3155

Aktenzeichen:

102 31 206.0-33

Anmelder:

Infineon Technologies AG

Deutsches Patent- und Markenamt • 80297 München

Patentanwälte

Reinhard, Skuhra,

Weise & Partner GbR

Abhofach DPMA

München

Ihr Zeichen: S1844 SB/le

Bitte Aktenzeichen und Anmelder bei
allen Eingaben und Zahlungen angeben

Zutreffendes ist angekreuzt ☒ und/oder ausgefüllt!

Prüfungsantrag, Einzahlungstag am 10.7.02

Eingabe vom

eingegangen am

Eingegangen	
Reinhard • Skuhra • Weise	
17. April 2003	
AR-DE	
Frist	17.10.03
Vfr:	07.10.03
Vfr:	08.05.03

Die Prüfung der oben genannten Patentanmeldung hat zu dem nachstehenden Ergebnis geführt.

Zur Äußerung wird eine Frist von

sechs Monat(en)

gewährt, die mit der Zustellung beginnt.

Für Unterlagen, die der Äußerung gegebenenfalls beigelegt werden (z.B. Beschreibung, Beschreibungsteile, Patentansprüche, Zeichnungen), sind je **zwei** Ausfertigungen auf gesonderten Blättern erforderlich. Die Äußerung selbst wird nur in einfacher Ausfertigung benötigt.

Werden die Beschreibung, die Patentansprüche oder die Zeichnungen im Laufe des Verfahrens geändert, so hat der Anmelder, sofern die Änderungen nicht vom Deutschen Patent- und Markenamt vorgeschlagen sind, im Einzelnen anzugeben, an welcher Stelle die in den neuen Unterlagen beschriebenen Erfindungsmerkmale in den ursprünglichen Unterlagen offenbart sind.

In diesem Bescheid sind folgende Entgegenhaltungen erstmalig genannt. (Bei deren Nummerierung gilt diese auch für das weitere Verfahren):

Anlagen: Abl. von 3 Entgegenhaltungen

- 2 -

Hinweis auf die Möglichkeit der Gebrauchsmusterabzweigung

Der Anmelder einer mit Wirkung für die Bundesrepublik Deutschland eingereichten Patentanmeldung kann eine Gebrauchsmusteranmeldung, die den gleichen Gegenstand betrifft, einreichen und gleichzeitig den Anmeldetag der früheren Patentanmeldung in Anspruch nehmen. Diese Abzweigung (§ 5 Gebrauchsmustergesetz) ist bis zum Ablauf von 2 Monaten nach dem Ende des Monats möglich, in dem die Patentanmeldung durch rechtskräftige Zurückweisung, freiwillige Rücknahme oder Rücknahmefiktion erledigt, ein Einspruchsverfahren abgeschlossen oder - im Falle der Erteilung des Patents - die Frist für die Beschwerde gegen den Erteilungsbeschluss fruchtlos verstrichen ist. Ausführliche Informationen über die Erfordernisse einer Gebrauchsmusteranmeldung, einschließlich der Abzweigung, enthält das Merkblatt für Gebrauchsmusteranmelder (G 6181), welches kostenlos beim Patent- und Markenamt und den Patentinformationszentren erhältlich ist.

**Annahmestelle und
Nachbriefkasten
nur
Zweibrückenstraße 12**

Hauptgebäude
Zweibrückenstraße 12
Zweibrückenstraße 5-7 (Breiterhof)
Markenabteilungen:
Cincinnatistraße 64
81534 München

Hausadresse (für Fracht)
Deutsches Patent- und Markenamt
Zweibrückenstraße 12
80331 München

Telefon (089) 2195-0
Telefax (089) 2195-2221
Internet: <http://www.dpma.de>

Bank:
Landeszentralbank München
Kto.Nr.: 700 010 54
BLZ: 700 000 00

- 1) DE 199 26 499 A 1
- 2) DE 100 06 243 A 1
- 3) EP 987 759 A 2

Der Prüfung liegen die ursprünglichen Unterlagen mit den Ansprüchen 1 bis 7 zugrunde.

Die Anmeldung betrifft eine Halbleitervorrichtung mit dem üblichen Aufbau einer Mehrlagenverdrahtung, bei der in der obersten Metallisierungsebene eine Fuse-Einrichtung vorgesehen ist. Ein derartiger Aufbau ist aus der E 1) bekannt, obwohl dort die einzelnen Leiterbahnebenen nicht so detailliert wie die ersten Merkmale des Anspruchs der vorliegenden Anmeldung aufgeführt sind. Für den Fachmann ist es aber offensichtlich, dass der Aufbau der bekannten Halbleitereinrichtung den ersten vier Merkmalen des Anspruchs 1 entspricht.

Weiterhin ist es üblich und z.B. aus 2) bekannt, eine Fuse-Einrichtung in einzelne Fuse-Module aufzuteilen. Das letzte Merkmal, die einzelnen Sicherungen als Paare mit einer zentralen Leiterbahn, über die sie an ein vorbestimmtes Potential anbindbar sind, anzuordnen, ist in 1) und 2) nicht aufgeführt.

Dieses Merkmal ist jedoch aus 3), vgl. z.B. Fig. 4 und 5 mit Beschreibung bekannt. Aus 3) lernt der Fachmann auch, dass eine derartige Anordnung der Sicherungen einen geringen Abstand zwischen den einzelnen Sicherungen ermöglicht. Daher ist es für ihn naheliegend, wenn er entsprechend der vorliegenden Aufgabenstellung bei einer üblichen Fuse-Einrichtung eine erhöhte Anzahl von Fuses pro Fläche anordnen will, die aus 3) bekannte Maßnahme auf die übliche Halbleitervorrichtung zu übertragen und so zum Gegenstand des Anspruchs 1 zu gelangen. Da der Gegenstand des Anspruchs 1 somit nicht auf erfinderischer Tätigkeit beruht, ist er auch nicht patentfähig.

Die Merkmale der Ansprüche 3 und 7 sind ebenfalls aus 3) bekannt, ebenso wie die Anordnung von „Latches“, die mit der Fuse-Einrichtung verbunden sind (vgl. Anspruch 6).

Die Merkmale der Ansprüche 2 und 5 sind in den genannten Druckschriften nicht explizit aufgeführt, entsprechen jedoch Ausgestaltungen, die dem Fachmann aus der Praxis bekannt sind.

Eine Anordnung von Sicherungen entsprechend Anspruch 4 konnte druckschriftlich nicht nachgewiesen werden.

Aus den genannten Gründen ist mit den vorliegenden Unterlagen die Erteilung eines Patents nicht möglich.

Prüfungsstelle für Klasse H01L

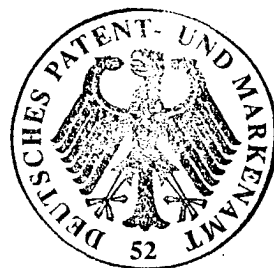
Dr. Trzciński

Dr. rer. nat. Trzciński

Hausruf 2659

Ausgefertigt

Greif
Regierungsangestellte



Halbleitervorrichtung

Beschreibung

- 5 Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und insbesondere eine Halbleiterspeichervorrichtung.

Halbleitervorrichtungen und insbesondere Halbleiterspeicher-
vorrichtungen, wie DRAM-Speicherbausteine, sind im allgemei-
10 nen mit redundanten Wort- bzw. Bit-Leitungen versehen, um ei-
nen einwandfreien Betrieb gewährleisten zu können, auch wenn
im komplexen Herstellungsprozeß der feingliedrigen Strukturen
beispielsweise eine Wort- bzw. Bit-Leitung unterbrochen oder
mit einer anderen kurzgeschlossen wird. Diese Fehler werden
15 in einem Wafer-Test detektiert und auf dem Wafer-Level, wenn
möglich durch Einbindung redundanter Wort- bzw. Bit-Leitungen
korrigiert. Die Anbindung der redundanten Leitungen erfolgt
über Fuses, welche mit einem Laserstrahlimpuls vorbestimmten
Energie-Inhalts geschossen werden, um gemäß dem Wafer-Test
20 ein vorbestimmtes Potential vorzugsweise an eine nachgelager-
te Latch-Einrichtung weiterzuleiten oder im geschossenen Zu-
stand nicht weiterzuleiten.

Durch die erhöhte Integrationsdichte und durch den Einsatz
25 des double data rate (DDR)-Schemas in DRAM-Speichern werden
mehr Redundanzen und damit auch mehr Fuses zu deren Anbindung
benötigt. Die in Abhängigkeit von dem Wafer-Testergebnis zu
schießenden Fuses können jedoch nicht beliebig nah nebenein-
ander angeordnet werden, da zum einen der Laser zum Schießen
30 der Fuses nicht beliebig genau justierbar ist und zum anderen
der Laserenergieimpuls ausreichen muß, das leitfähige Materi-
al der Fuse aufzuschmelzen, ohne jedoch gleichzeitig die be-
nachbarte Fuse ebenfalls ungewollt zu schießen bzw. Rückstän-

de der geschmolzenen Fuses zu vermeiden, welche wiederum einen Kurzschluß erzeugen könnten. Darüber hinaus ist eine komplexe Anordnung der Fuses nicht erstrebenswert, da das Schießen der Fuses mit dem Laser in einer kurzen Zeit, also rationell, 5 durchführbar sein muß und bisher die Lasereinrichtung mit Bezug auf den Wafer nicht beliebig zweidimensional präzise und schnell justierbar ist.

In Fig. 4 ist eine übliche Halbleitervorrichtung mit einem 10 bekannten Fuse-Layout in Draufsicht dargestellt. Auf einem passivierten Halbleitersubstrat 10 ist eine erste strukturierte, leitfähige Leiterbahnebene 11 vorgesehen, welche im Bereich der Fuse-Einrichtung Leiterbahnen bildet. Darüber befindet sich eine zweite strukturierte, leitfähige Leiterbahnebene 13, welche durch eine Passivierung 12 von der ersten 15 strukturierten, leitfähigen Leiterbahnebene 11 getrennt ist und ebenfalls Leiterbahnen ausbildet. In einer dritten über der zweiten strukturierten, leitfähigen Leiterbahnebene 13 angeordneten strukturierten, leitfähigen Leiterbahnebene 15, 20 welche ebenfalls durch eine Passivierung 14 von der zweiten strukturierten, leitfähigen Leiterbahnebene 13 beabstandet ist, sind Fuse-Bereiche 17 in zwei Reihen vorgesehen. Um diese obere strukturierte leitfähige Leiterbahnebene 15 bzw. die Fuse-Bereiche 17 dieser Leiterbahnebene mit dem Laser schie- 25 ßen zu können, muß diese von oben direkt zugänglich sein, weshalb in der Passivierung 16, welche auf dem Wafer aufgebracht ist, ausgesparte Fenster 24 über den Fuse-Einrichtungen vorgesehen sind, in denen keine Passivierung 16 vorgesehen ist.

30

Über Kontakteinrichtungen 19, 20 werden die Leiterbahnen der dritten strukturierten, leitfähigen Leiterbahnebene 15 selektiv entweder mit der ersten strukturierten, leitfähigen Lei-

terbahnebene 11 oder der zweiten strukturierten, leitfähigen Leiterbahnebene 13 verbunden, so daß in dem bekannten Layout gemäß Figur 4 jeweils drei Fuses 17 über drei Leiterbahnebenen 11, 13, 15 in der Zeichenebene zugänglich sind und über deren Anschlußbereich (auf der rechten Seite) kontaktierbar sind.

Auf der linken Seite sind alle leitfähigen Ebenen 11, 13, 15 mit einem vorbestimmten Potential versehen, welches in Abhängigkeit davon, ob eine Fuse in deren Fuse-Bereich 17 geschossen wird oder nicht, mit den Anschlüssen auf der rechten Seite verbunden wird oder nicht. Unter Einhaltung des benötigten Abstandes 18 (fuse pitch) zwischen den benachbarten Fuses 17 dieser herkömmlichen links/rechts "Dreizack"-Fuse-Anordnung stehen nur wenige Fuses pro Fläche zur Verfügung. Darüber hinaus sind die Kontakteinrichtungen zwischen den verschiedenen elektrisch leitfähigen, strukturierten Leiterbahnebenen 11, 13, 15 insbesondere im beschleunigten Streß-Test einer erhöhten Korrosion ausgesetzt, welche Ausfälle der Kontakteinrichtungen zur Folge haben, sogenannte "HAST fails".

Es ist daher Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung bereitzustellen, welche unter Einhaltung eines vorbestimmten Abstandes zwischen Fuses der Halbleitervorrichtung eine erhöhte Anzahl von Fuses pro Fläche ermöglicht.

Erfindungsgemäß wird diese Aufgabe durch die in Anspruch 1 angegebene Halbleitervorrichtung gelöst.

Die der vorliegenden Erfindung zugrunde liegende Idee besteht im wesentlichen darin, daß die Fuses eines Fuse-Moduls paarweise mit einer zentralen Potentialanbindung vorgesehen sind.

In der vorliegenden Erfindung wird das eingangs erwähnte Problem insbesondere dadurch gelöst, daß eine Fuse-Einrichtung in einem nicht passivierten Abschnitt einer strukturierten, leitfähigen Leiterbahnebene mit vorbestimmten Fuse-Bereichen zum selektiven Anbinden von Leiterbahnen vorgesehen ist, wobei die Fuse-Einrichtung in Fuse-Module mit Fuse-Paaren und deren Fuse-Bereichen in einem vorbestimmten Abstand zueinander eingeteilt ist, die über eine zentrale Leiterbahn der strukturierten, leitfähigen Leiterbahnebene an ein vorbestimmtes Potential anbindbar sind.

Halbleitervorrichtungen der erfindungsgemäßen Art ermöglichen aufgrund ihrer Fuse-Paar-Modulanordnung somit eine höhere Fuse-Flächendichte.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des Erfindungsgegenstandes.

Gemäß einer bevorzugten Weiterbildung sind die Kontakteinrichtungen zum selektiven elektrischen Kontaktieren der strukturierten, leitfähigen Leiterbahnebenen bzw. Leiterbahnen miteinander in einem passivierten Abschnitt vorgesehen. Wird die Halbleitervorrichtung derart gestaltet, so wird die Korrosion der Kontakteinrichtungen und damit ein eventueller Ausfall der Kontakteinrichtungen insbesondere bei einem Streß-Test vermieden, da sie außerhalb des Fensters ohne Passivierung liegen.

Gemäß einer weiteren bevorzugten Weiterbildung erstrecken sich die über die zentrale Leiterbahn angebundenen Fuse-Paare im rechten Winkel zur zentralen Leiterbahn. Dadurch wird eine übersichtliche Struktur ermöglicht.

Gemäß einer weiteren bevorzugten Weiterbildung weisen die über die zentrale Leiterbahn angeordneten Fuse-Paare im wesentlichen einen spitzen Winkel zur zentralen Leiterbahn auf.

- 5 Daraus ergibt sich der Vorteil, daß die zu schießenden Fuses, d.h. die Leiterbahnen, diagonal verlaufen und somit die Tref-ferwahrscheinlichkeit der Lasereinrichtung zum Schießen der Fuses erhöht wird.

- 10 Gemäß einer weiteren bevorzugten Weiterbildung ist zwischen dem passivierten Substrat und der ersten strukturierten, leitfähigen Leiterbahnebene eine dritte strukturierte, leitfähige Leiterbahnebene vorgesehen, welche vorzugsweise als mechanische Verstärkungs- bzw. Schutzschicht vorgesehen ist.

- 15 Zum einen ermöglicht eine solche dritte leitfähige Leiterbahnebene eine mechanische Verstärkung bzw. einen Schutz, zum anderen kann sie auch als zusätzliche Leiterbahnebene zur Erhöhung der Flächen bzw. Integrationsdichte der Fuses herangezogen werden.

20

Gemäß einer weiteren bevorzugten Weiterbildung weist die Vorrichtung im Anschluß an die mit den Fuses verbundenen Leiterbahnen Fuse-Latches auf, welche insbesondere in mehreren Ebenen vorgesehen sind und selektiv über die Fuse-Einrichtung

- 25 mit dem vorbestimmten Potential verbindbar sind.

Gemäß einer weiteren bevorzugten Weiterbildung ist die Halbleitervorrichtung eine Speichereinrichtung, insbesondere ein DRAM- oder ein DDR-DRAM.

30

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

- 5 Fig. 1A, B eine schematische Darstellung einer Halbleitervorrichtung zur Erläuterung einer ersten Ausführungsform der vorliegenden Erfindung, wobei Fig. 1A eine Draufsicht und Fig. 1B einen Querschnitt entlang der Linie A-A' verdeutlicht;
- 10 Fig. 2 eine schematische Draufsicht zur Erläuterung einer zweiten Ausführungsform der vorliegenden Erfindung;
- 15 Fig. 3 eine schematische Draufsicht zur Erläuterung einer dritten Ausführungsform der vorliegenden Erfindung; und
- 20 Fig. 4 eine schematische Draufsicht einer herkömmlichen Halbleitervorrichtung.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

- 25 Fig. 1 zeigt eine schematische Ansicht einer Halbleitervorrichtung zur Erläuterung einer ersten Ausführungsform der vorliegenden Erfindung.

30 In Fig. 1A ist eine Draufsicht einer erfindungsgemäßen Halbleitervorrichtung mit einer Fuse-Einrichtung dargestellt und wird mit Bezug auf Fig. 1B, in welcher ein Querschnitt der Anordnung entlang der gestrichelten Linie A-A' verdeutlicht ist, näher erläutert.

Gemäß Fig. 1B ist auf einem vorzugsweise passivierten Halbleitersubstrat 10 eine strukturierte, leitfähige Leiterbahnebene 11 vorgesehen. Daran schließt sich vorzugsweise zumindest eine Passivierungsschicht 12 an, auf welche wiederum eine strukturierte, leitfähige Leiterbahnebene 13 folgt. Über der strukturierten, leitfähigen Leiterbahnebene 13 ist vorzugsweise ebenfalls eine Passivierungsschicht 14 vorgesehen, auf welcher eine strukturierte, leitfähige Leiterbahnebene 15 angeordnet ist. Darüber befindet sich eine weitere Passivierungsschicht 16. Zwischen den Strukturen 15, vorzugsweise Leiterbahnen aus AlCu, welche benachbarte Fuses 17 bzw. Fuse-Bereiche 17 aufweisen, ist ein vorbestimmter Abstand 18 (fuse pitch), z.B. 2600 nm, vorgesehen, um beim Schießen einer Fuse 17 eine ungewollte Kontaktunterbrechung einer benachbarten Fuse 17 durch die Energie des Laserimpulses zu verhindern.

Zwischen den strukturierten, leitfähigen horizontalen Leiterbahnebenen 11, 13, 15 sind vorzugsweise vertikale Kontakteinrichtungen 19, 20 vorgesehen, wobei die elektrische Anbindung zwischen Leiterbahnen der oberen strukturierten, elektrisch leitfähigen Leiterbahnebene 15 und der unteren strukturierten, elektrisch leitfähigen Leiterbahnebene 11 über die Kontakteinrichtungen 19 hergestellt werden, und die Anbindung der oberen strukturierten, leitfähigen Leiterbahnebene 15 mit der mittleren strukturierten, leitfähigen Leiterbahnebene 13 über Kontakteinrichtungen 20 hergestellt werden. Abstandshalter (nicht dargestellt) bzw. Spacer, z.B. aus Titan bzw. Titan-Verbindungen, zwischen den einzelnen strukturierten, elektrisch leitfähigen Leiterbahnebenen sind ebenfalls vorsehbar.

Die Fuses 17 sind gemäß der vorliegenden Erfindung als Fuse-Paare 21 angeordnet und über eine zentrale Leiterbahn 22 mit einem vorbestimmten Potential 23, vorzugsweise Masse (GND), verbunden. Die Fuses 17 bzw. Fuse-Bereiche 17 liegen in einem Fenster 24, in welchem die oberste Passivierungsschicht 16 bzw. Deckschichtpassivierung ausgespart bzw. entfernt ist. Vorzugsweise erstrecken sich die Fuse-Paare 21 senkrecht von der zentralen Leiterbahn 22.

Die Leiterbahnen der leitfähigen, strukturierten Leiterbahnebene 11 sind in Fig. 1A links schraffiert dargestellt, die Leiterbahnen der leitfähigen, strukturierten Leiterbahnebene 13 sind rechts schraffiert dargestellt, so daß in Fig. 1A an Stellen, wo sich in der Draufsicht beide durch eine Passivierung 12 getrennten leitfähigen Leiterbahnebenen 11, 13 überlagern, eine Kreuzschraffur zur Verdeutlichung dient. Die strukturierte, elektrisch leitfähige Leiterbahnebene 15 ist durch eine Punktschraffur verdeutlicht. Die Kontakteinrichtungen 19, 20 zwischen den einzelnen strukturierten, elektrisch leitfähigen Leiterbahnebenen 11, 13, 15 sind gemäß der vorliegenden Ausführungsform unter der Deckpassivierungsschicht, da sie sich außerhalb des Fensters 24, in welchem diese nicht vorgesehen ist, befinden. Alle Anschluss- bzw. Anbindungseinrichtungen sind vorzugsweise zu einer Seite z.B. der Breitseite geführt und beispielhaft in den Leiterbahnebenen 11, 13 und 15 vorgesehen.

Fig. 2 zeigt eine schematische Darstellung einer Halbleitervorrichtung zur Erläuterung einer zweiten Ausführungsform der vorliegenden Erfindung.

In Fig. 2 erstrecken sich die Fuse-Paare 21 mit deren Fuse-Bereichen 17 ebenfalls im rechten Winkel von der zentralen

Leiterbahn 22, welche ebenfalls mit einem vorbestimmten Potential 23, vorzugsweise Masse, verbunden ist. Auch hier sind wie in Fig. 1 die Fuse-Paare 21 mit einem vorbestimmten Abstand 18 voneinander getrennt. Die Leiterbahn im Anschluß an
5 die Fuse-Einrichtungen 17 des linken Fuse-Paares 21 wird aus der strukturierten, leitfähigen Ebene 15 über die Kontakteinrichtung 20 auf die strukturierte, leitfähige Leiterbahnebene 13 geführt, um parallel durch eine Passivierung 14 beabstandet von der strukturierten, leitfähigen Leiterbahnebene 15
10 bzw. des sich rechts anschließenden Fuse-Paares laufen zu können.

Vorzugsweise ist eine weitere strukturierte, leitfähige Leiterbahnebene 11 zwischen dem passivierten Halbleitersubstrat
15 10 und der strukturierten, leitfähigen Leiterbahnebene 13 vorgesehen, welche zum einen eine Schutz- bzw. strukturelle Verstärkungseinrichtung 25 vorsieht, zum anderen um mögliche weitere Leiterbahnen zur Erweiterung der Anordnung gemäß Fig. 2 von acht auf zwölf Fuses vorzusehen. Im Gegensatz zu Fig.
20 1A liegen in der Ausführungsform gemäß Fig. 2 die Kontakteinrichtungen 20 zwischen den strukturierten, elektrisch leitfähigen Leiterbahnebenen 11, 13, 15 im Fenster 24, welches eine Aussparung in der Deckschicht 16 bzw. Passivierung 16 verdeutlicht. Im Anschlußbereich rechts werden die Leiterbahnen
25 aus den hier dargestellten zwei strukturierten, leitfähigen Leiterbahnebenen 13, 15 mittels der Kontakteinrichtungen 20 auf die elektrisch leitfähige Leiterbahnebene 13 geführt.

Fig. 3 zeigt eine schematische Draufsicht einer Halbleitervorrichtung zur Erläuterung einer dritten Ausführungsform der
30 vorliegenden Erfindung.

Die Ausführungsform gemäß Fig. 3 unterscheidet sich von der Ausführungsform gemäß Fig. 2 im wesentlichen dadurch, daß die Fuse-Paare 21 im wesentlichen einen spitzen Winkel 26 zwischen der zentralen Leiterbahn 22, welche mit einem vorbestimmten Potential 23, vorzugsweise Masse, beaufschlagt ist, und den Leiterbahnen mit den Fuse-Bereichen 17 aufweisen. Darüber hinaus ist hier wie in Fig. 1 keine der Kontakteinrichtungen 20 im von der Passivierungsschicht 16 nicht bedeckten Bereich 24 vorgesehen. Gemäß der Ausführungsform nach Fig. 3 liegen alle Leiterbahnen, welche sich im Bereich des Fensters 24 befinden, in der strukturierten, leitfähigen Leiterbahnebene 15. Die Kontakteinrichtungen 20, welche sich im rechten Anschlußbereich befinden, dienen hier in erster Linie der Umverdrahtung, um alle Leiterbahnen in die bevorzugte, strukturierte, leitfähige Leiterbahnebene 13 beabstandet zueinander zu führen. Durch die diagonale Anordnung der Leiterbahnabschnitte mit den Fuse-Bereichen 17 wird das Treffen des Laserpulses zum Schießen der Fuse erleichtert, da durch den diagonalen Verlauf ein größerer Leiterbahn-Trefferbereich gewährleistet ist als bei einem rechten Winkel zwischen der zentralen Leiterbahn 22 und den Leiterbahnabschnitten mit den Fuse-Bereichen 17.

Ein Fuse-Modul 27, wie es jeweils in Fig. 2 und Fig. 3 mit vier Fuse-Paaren 21 dargestellt ist, kann durch den Einsatz der strukturierten, elektrisch leitfähigen Leiterbahnebene 11 für Leiterbahnen einfach und ohne nennenswerte Flächenvergrößerung auf sechs Fuse-Paare 21 vergrößert werden. Dadurch läßt sich die Flächendichte der Fuses zusätzlich steigern.

30

Besonders vorteilhaft an der Ausführungsform nach Fig. 1A ist neben den unter der Passivierung 16 liegenden Kontakteinrichtungen 19, 20 die Tatsache, daß die Fuses in zwei Linien ge-

schossen werden können, wohingegen bei den Ausführungsformen gemäß Fig. 2 und Fig. 3 die Lasereinrichtung viermal mit Bezug auf den Wafer ausgerichtet und justiert werden muß. Eine Fuse-Einrichtung weist vorzugsweise ein Vielfaches der jeweils dargestellten Ausschnitte von Fuse-Einrichtungen bzw. Fuse-Modulen auf, welche sich in der Ausführungsform gemäß Fig. 1 seitlich links und rechts anschließen und bei der Ausführungsform gemäß Fig. 2 und 3 in gleicher Weise oben und unten anschließen.

10

Obwohl die vorliegende Erfindung vorstehend anhand bevorzugter Ausführungsbeispiele beschrieben wurde, ist sie darauf nicht beschränkt, sondern auf vielfältige Art und Weise modifizierbar.

15

So ist insbesondere eine Erweiterung auf größere Fuse-Module, beispielsweise mit sechs statt vier Fuse-Paaren unter Hinzunahme weiterer strukturierter, elektrisch leitfähiger Leiterbahnebenen, angedacht. Sich an die Halbleitervorrichtung mit Fuse-Einrichtungen anschließende Signalspeichereinrichtungen bzw. Latches sind aufgrund der durch die erfindungsgemäße Vorrichtung erhöhte Fuse-Flächendichte vorzugsweise in mehreren Ebenen vorgesehen, um das vorbestimmte Bezugspotential an die Latch-Einrichtung weiterzuleiten oder bei geschlossener Fuse nicht weiterzuleiten.

25

Auch ist die Erfindung nicht auf die genannte Anwendungsmöglichkeit als DRAM-Speicherbaustein beschränkt.

Patentansprüche:

1. Halbleitervorrichtung mit:

5 einer ersten strukturierten, leitfähigen Leiterbahnebene (13) auf einem passivierten Substrat (10);

einer zweiten strukturierten, leitfähigen Leiterbahnebene (15) auf der ersten strukturierten, leitfähigen passivierten Leiterbahnebene (13);

10 Kontakteinrichtungen (19, 20) zum selektiven elektrischen Kontaktieren der strukturierten, leitfähigen Leiterbahnebenen (11, 13, 15) miteinander;

15 einer Fuse-Einrichtung in einem nicht passivierten Abschnitt (24) der zweiten strukturierten, leitfähigen Leiterbahnebene (15) mit vorbestimmten Fuse-Bereichen (17) zum selektiven Anbinden von Leiterbahnen (11, 13, 20 15);

wobei die Fuse-Einrichtung in Fuse-Module (27) mit Fuse-Paaren (21) und deren Fuse-Bereichen (17) in einem vorbestimmten Abstand (18) zueinander eingeteilt ist, die 25 über eine zentrale Leiterbahn (22) an ein vorbestimmtes Potential (23) anbindbar sind.

2. Halbleitervorrichtung nach Anspruch 1,

dadurch gekennzeichnet,
30 daß die Kontakteinrichtungen (19, 20) zum selektiven elektrischen Kontaktieren der strukturierten leitfähigen Leiterbahnebenen (11, 13, 15) miteinander in einem passivierten Abschnitt vorgesehen sind.

3. Halbleitervorrichtung nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
daß die über die zentrale Leiterbahn (22) angebundenen
5 Fuse-Paare (21) sich im rechten Winkel zur zentralen
Leiterbahn (22) erstrecken.
4. Halbleitervorrichtung nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
10 daß die über die zentrale Leiterbahn (22) angebundenen
Fuse-Paare (21) im wesentlichen einen spitzen Winkel
(26) zur zentralen Leiterbahn (22) aufweisen.
5. Halbleitervorrichtung nach einem der vorangehenden An-
15 sprüche,
dadurch gekennzeichnet,
daß eine dritte strukturierte, leitfähige Leiterbahnebe-
ne (11) zwischen dem passivierten Substrat (10) und der
ersten strukturierten, leitfähigen Leiterbahnebene (13)
20 vorgesehen ist, welche vorzugsweise als Schutz bzw.
strukturelle Verstärkungsschicht (25) vorgesehen ist.
6. Halbleitervorrichtung nach einem der vorangehenden An-
sprüche,
25 dadurch gekennzeichnet,
daß die Vorrichtung Latches im Anschluss an die mit den
Fuse-Bereichen (17) verbundenen Leiterbahnen (11, 13,
15) aufweist, welche insbesondere in mehreren Ebenen
vorgesehen sind, und selektiv über die Fuse-Einrichtung
30 mit dem vorbestimmten Potential (23) verbindbar sind.
7. Halbleitervorrichtung nach einem der vorangehenden An-
sprüche,

d a d u r c h g e k e n n z e i c h n e t ,
daß die Halbleitervorrichtung eine Speichereinrichtung,
insbesondere ein DRAM oder ein DDR-DRAM, ist.

Zusammenfassung

Die vorliegende Erfindung betrifft eine Halbleitervorrichtung mit: einer ersten strukturierten, leitfähigen Leiterbahnebene (13) auf einem passivierten Substrat (10); einer zweiten strukturierten, leitfähigen Leiterbahnebene (15) auf der ersten strukturierten, leitfähigen passivierten Leiterbahnebene (13); Kontakteinrichtungen (19, 20) zum selektiven elektrischen Kontaktieren der strukturierten, leitfähigen Leiterbahnebenen (11, 13, 15) miteinander; einer Fuse-Einrichtung in einem nicht passivierten Abschnitt (24) der zweiten strukturierten, leitfähigen Leiterbahnebene (15) mit vorbestimmten Fuse-Bereichen (17) zum selektiven Anbinden von Leiterbahnen (11, 13, 15); wobei die Fuse-Einrichtung in Fuse-Module (27) mit FusePaaren (21) und deren Fuse-Bereichen (17) in einem vorbestimmten Abstand (18) zueinander eingeteilt ist, die über eine zentrale Leiterbahn (22) an ein vorbestimmtes Potential (23) anbindbar sind.

20

Fig. 3

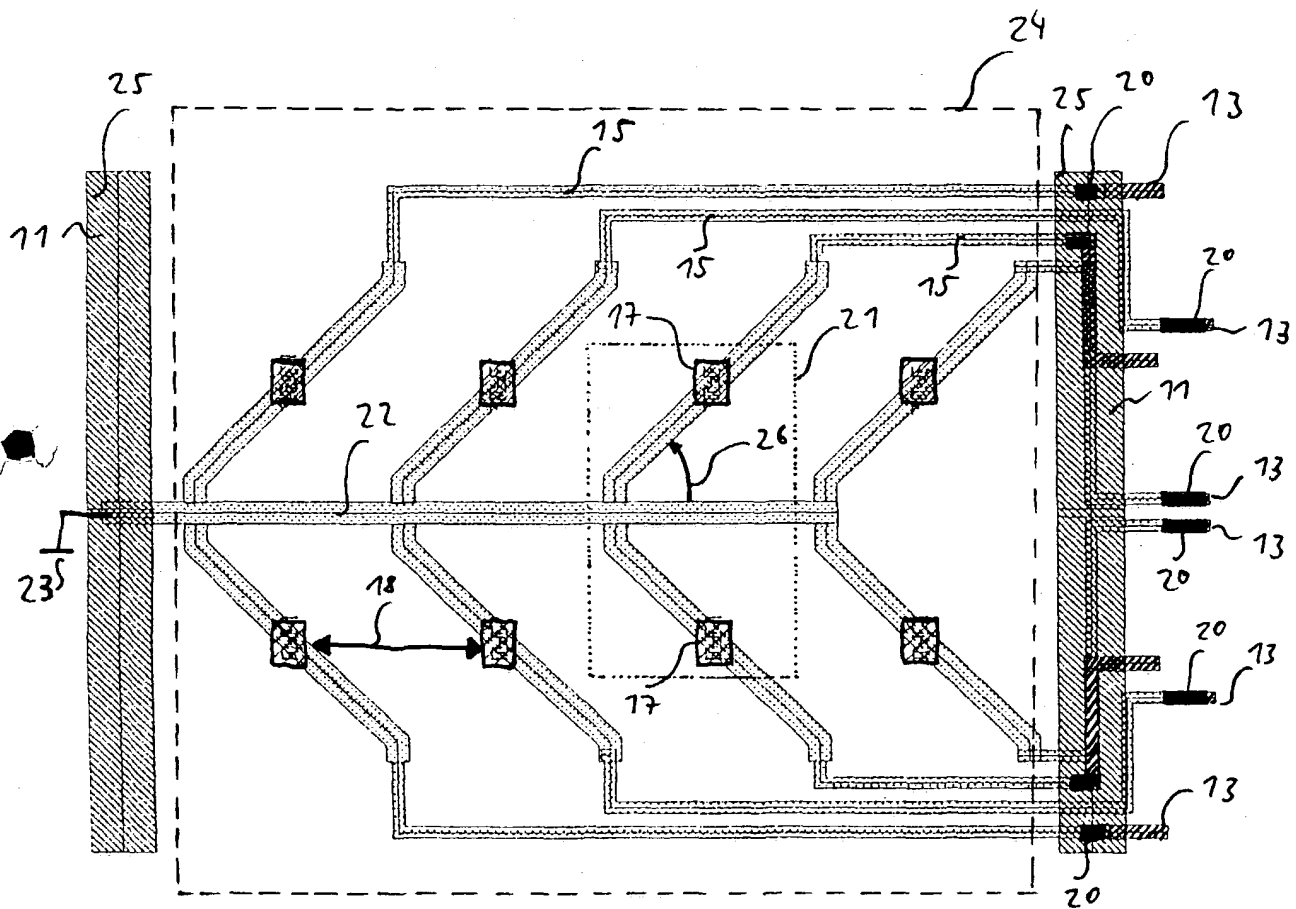


FIG. 3

Bezugszeichenliste

- | | |
|----|--|
| 10 | Halbleitersubstrat, vorzugsweise passiviert |
| 11 | strukturierte, leitfähige Leiterbahnebene (GC layer) |
| 5 | [linksschraffiert] |
| 12 | Passivierungsschicht |
| 13 | strukturierte, leitfähige Leiterbahnebene (M0 layer) |
| | [rechtsschraffiert] |
| 14 | Passivierungsschicht |
| 10 | 15 strukturierte, leitfähige Leiterbahnebene (M1 layer) |
| | [punktschraffiert] |
| | 16 Deckschicht (Passivierung) |
| | 17 Fuse-Bereich bzw. Fuse |
| | 18 vorbestimmter Abstand zw. benachbarten Fuses (fuse |
| 15 | pitch) |
| | 19 Kontakteinrichtung zwischen GC und M1 Leiterbahnebene |
| | (C1 Kontakt) |
| | 20 Kontakteinrichtung zwischen M0 und M1 Leiterbahnebene |
| | (C0 Kontakt) |
| 20 | 21 Fuse-Paar |
| | 22 zentrale Leiterbahn |
| | 23 vorbestimmtes Potential, vorzugsweise Masse (ground) |
| | 24 Fenster ohne Deckschicht (Passivierung) |
| | 25 Schutz- bzw. strukturelle Verstärkungseinrichtung |
| 25 | 26 Winkel zwischen zentraler Leiterbahn und Leiterbahn mit |
| | Fuse-Bereich |
| | 27 Fuse-Modul |

7/4

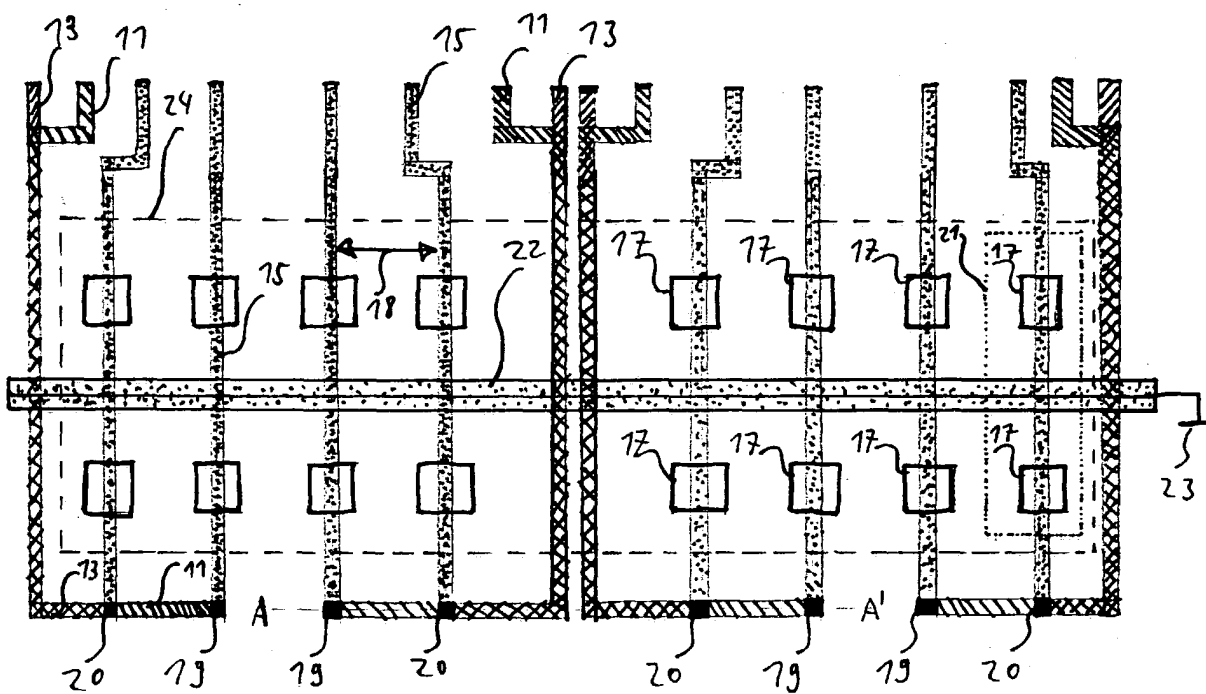


FIG. 1A

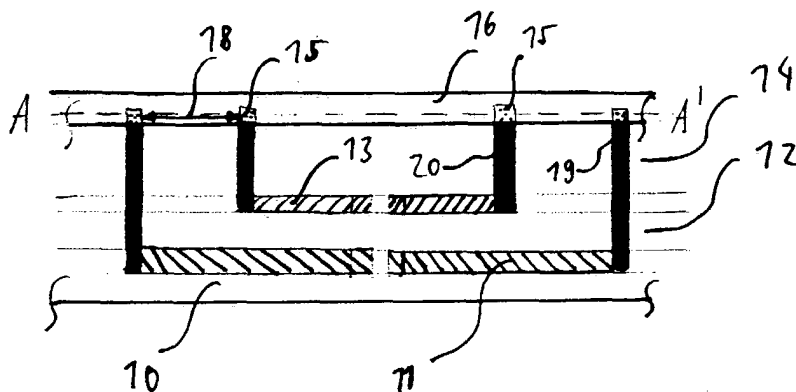


FIG. 1B

2/4

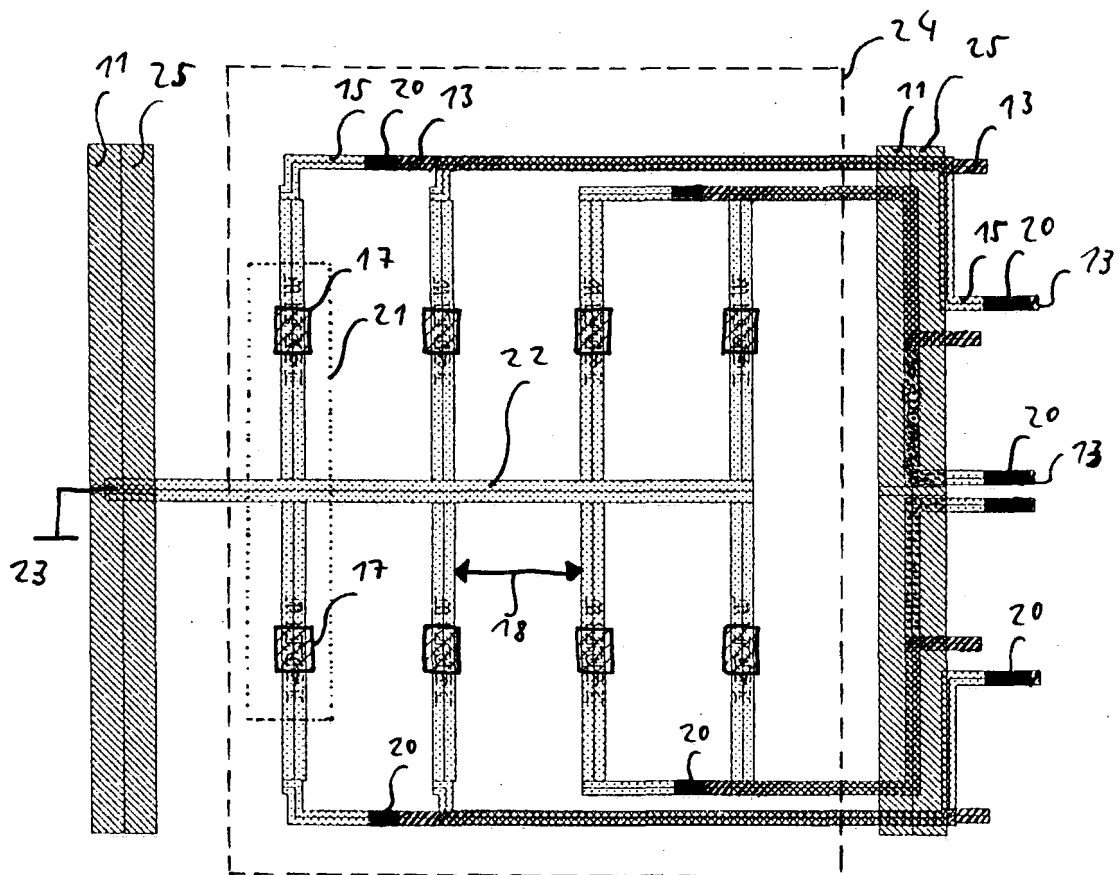


FIG. 2

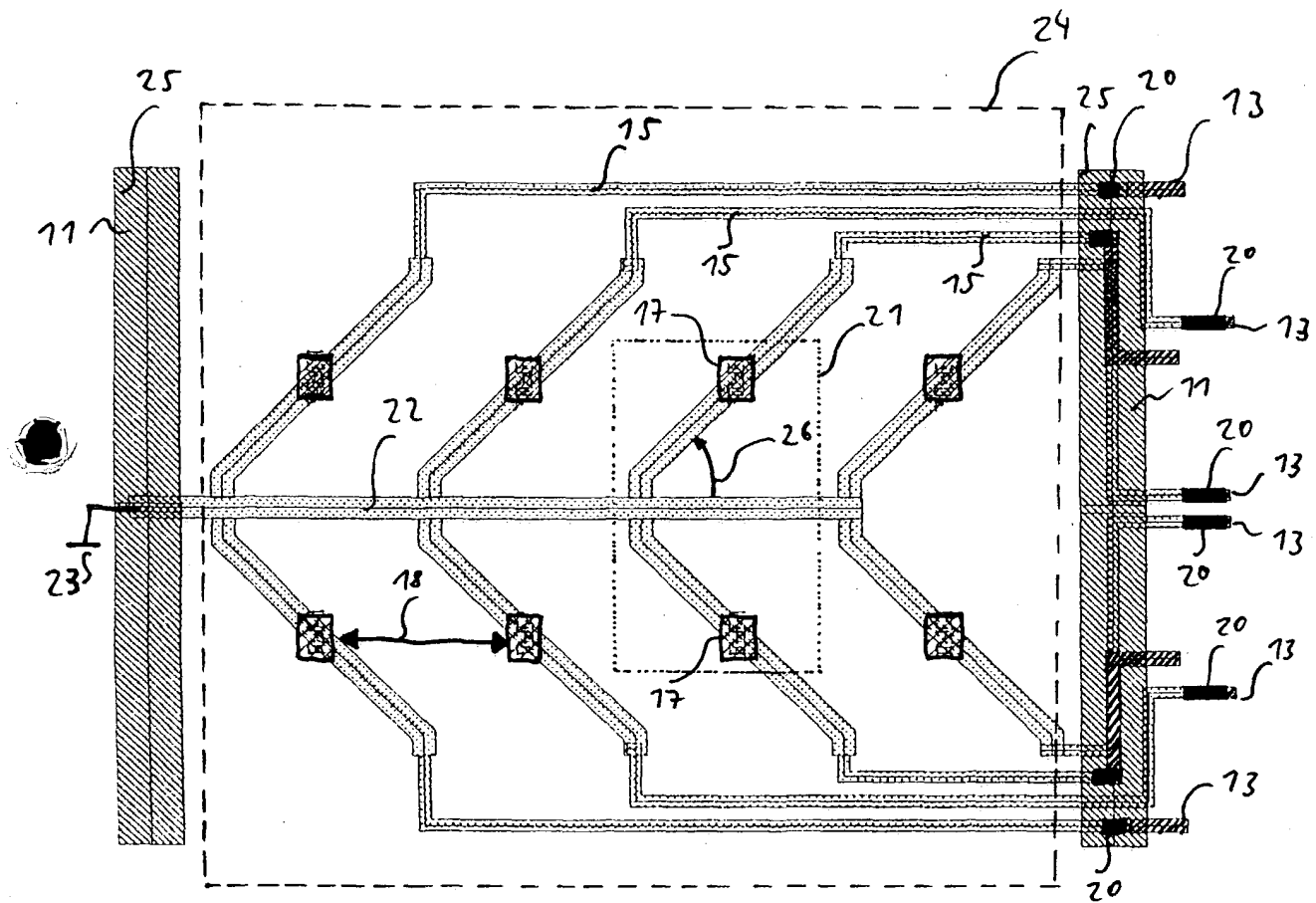


FIG. 3

